

窒化ガリウム (GaN) パワーデバイス 実現に向けての要素技術を開発

名古屋大学未来材料・システム研究所の 加地 徹 特任教授らの研究グループは、文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」事業において、以下の研究成果をおさめました。

1. 縦型 GaN パワーデバイスの低抵抗なゲート構造を形成するための低ダメージ溝（トレンチ）加工技術を開発したこと。
2. GaN パワーデバイスに使用する高性能ゲート絶縁膜^{注1)}を開発したこと。

本研究では、GaN 基板上の GaN デバイス(GaN on GaN デバイス)の社会実装を加速するために、デバイス要素技術の確立とその低コスト化を目指しており、これまでの取り組みで、その基礎技術が構築できました。

これらの研究成果の 2. で記載の詳細は、6 月開催の国際会議「ICMOVPE2018」で報告を予定しています。

この研究は、平成 28 年度から始まった文部科学省『省エネルギー社会の実現に資する次世代半導体研究開発』の支援のもとで行われたものです。

【ポイント】

1. トレンチ^{注2)}形成のためのドライエッチング^{注3)}において、ダメージのないトレンチ加工を実現しました。これまでは加工面のダメージが大きいものの、早いエッチング速度を有するという加工条件に加えて、低い電力による加工条件でダメージ層を除去し、最後に低温のアニール^{注4)}処理を組み合わせることで実現したものです。
2. ゲート絶縁膜に要求される条件を高いレベルで満たすことを確認しました。従来の絶縁膜であった SiO₂ と Al₂O₃ の長所を融合、短所を補い合うことを目的に両者を組み合わせた AlSiO 膜を、原子層堆積法^{注5)}を用いて Al と Si の組成と膜厚を制御して成膜し、さらに高温アニール処理を施すことで、高性能なゲート絶縁膜を形成できることを確認しました。

【研究背景と内容】

1. 縦型 GaN パワーデバイス用トレンチ加工技術の開発

(実施機関:名古屋大学、協力機関:㈱アルバック)

本研究は、図1に示す縦型 GaN パワーデバイスのトレンチゲート構造の形成方法に関する研究です。ドライエッチング法を用いるトレンチ加工の課題は、トレンチ形状の制御と加工途中に表面に形成されるダメージ層の除去にあります。

トレンチ形状は、トレンチ底部の角度が鋭角であると、角部に電界が集中してデバイスが破壊されるため、鋭角でなく丸形状にすることが必要です。そのため、本研究ではエッチング条件を最適化してトレンチ形状を制御し、丸形状にすることに成功しました(図2)。

しかし、このようなトレンチ加工を行うと、表面にダメージ層が残ります。トレンチ側壁は電子の流れる通り道(チャネル)としての役割を担うため、もし、その表面にダメージが入っていると、チャネル移動度^{注6)}の低下など、デバイス性能を著しく劣化させます。そこで、エッチングによって形成されたダメージ層を除去する手法も開発しました(図3)。

まず、通常で速度でトレンチ形成を行い、次にエッチング速度の低い条件で、前工程で入ったダメージ層を除去します。ダメージ層の除去は、加工ダメージが非常に入りにくい超低速加工で行うことがポイントです。しかし、それでも若干のダメージが表面に残るため、最終工程において 400°C でアニールすることで表面のダメージを完全に除去します。

その効果を調べた結果を図4に示します。図4では加工面にショットキーダイオード^{注7)}を形成して、そのリーク(漏れ)電流から表面のダメージを評価しています。加工電力 60W では表面のダメージが

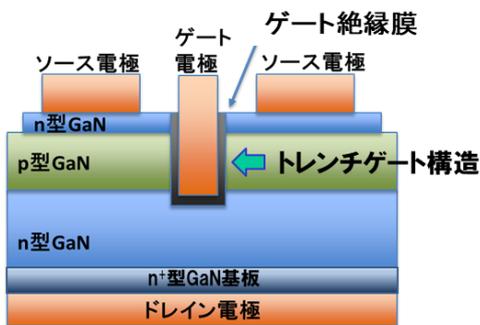


図1 縦型 GaN パワーデバイスの構造の概念図

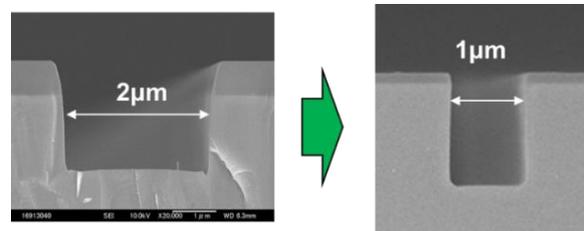


図2 トレンチ形状の違い。底部の角の角度を丸くするよう制御

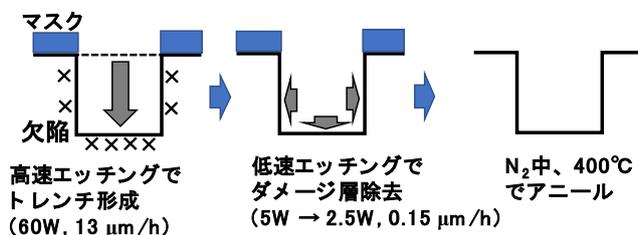


図3 加工表面にエッチングダメージのないトレンチ加工プロセス

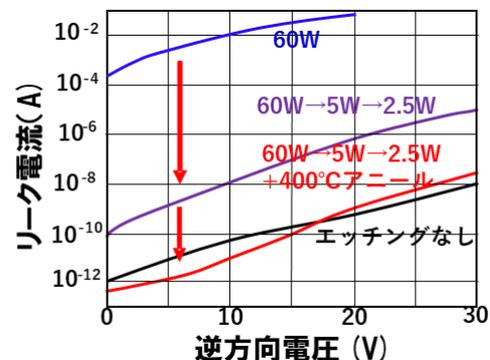


図4 エッチング表面に形成したショットキーダイオードのリーク電流の比較

大きく、リーク電流が多いのに比較し、図3のプロセスを経たものでは、リーク電流が加工前と同等、すなわち加工ダメージが完全に除去されたことを示しています。

2. 高性能ゲート絶縁膜の開発 (実施機関:、名古屋大学、(株)豊田中央研究所)

ゲート絶縁膜の形成技術は、前項のトレンチ加工と並んで縦型 GaN パワーデバイスのゲート構造を形成する重要な要素技術です。高性能ゲート絶縁膜には、1) 界面準位密度^{注 8)}が低いこと、2) 電子に対する大きな障壁^{注 9)}を持つこと、3) 非晶質であること、4) リーク電流が小さいこと、5) 絶縁破壊電界^{注 10)}が高いこと、6) 長寿命であること、7) 誘電率が大きいこと、の 7 つの要求性能を満足させる必要があります。

本研究では、これらの項目を高いレベルで満足させるゲート絶縁膜の開発を行いました。SiO₂ および Al₂O₃ は、障壁の高さが他の材料と比較して高く、有力な候補となりますが、一方、SiO₂、Al₂O₃ 単独ではそれぞれ、比誘電率が低い、結晶化温度が低いという短所があり、要求条件を十分に満たせません。しかし、これらの短所はお互い重なっていないため、それらを複合し短所を補うために、SiO₂、Al₂O₃ の混合膜を検討しました。

作製方法は、原子層堆積法^{注 5)}を用い 1nm 以下の原子層レベルの SiO₂、Al₂O₃ を交互に積層し、最後に高温の熱アニールにより焼き締めを行っています(図5)。

積層膜ではありますが、堆積後、すでに Si と Al がランダムにまじりあう非晶質状態であることが確認できました。また、Al と Si の組成は、堆積時の SiO₂、Al₂O₃ の膜厚の比によって制御できることを確認しています。以下、堆積膜を AlSiO 膜と呼びます。AlSiO 膜を堆積し、950°C のアニール後、要求項目について評価しました。その結果、要求項目を高いレベルで満足させることを確認しました。



例えば、GaN との界面面準位密度は、AlSiO 膜の容量特性を測定することで評価しました(図6)。測定と理論曲線はほとんど重なり、AlSiO 膜と GaN の界面の界面準位密度が極めて低いことを示しています。絶縁膜の寿命は、高温状態で絶縁膜に高い電界ストレスを印加して、破壊までの時間を測定しました(図7)。150°C における測定で約 3000 年という結果が得られ、20 年以上という目標値を大きく超えることが確認できました。

図5 AlSiO 膜の作製方法
原子層堆積法で SiO₂、
Al₂O₃ 膜を交互に堆積

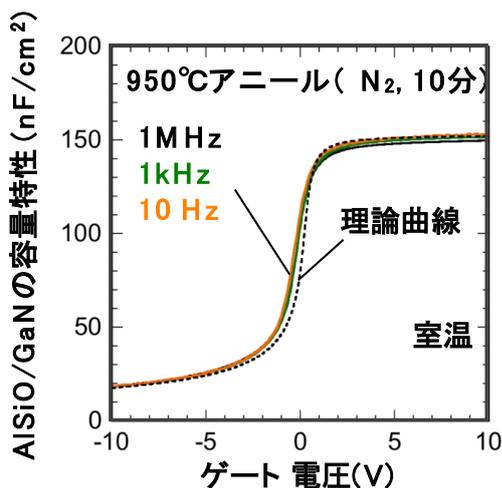


図6 Si 22%の AlSiO 膜の容量特性
理論曲線と一致し、界面準位密度
が低いことを示す

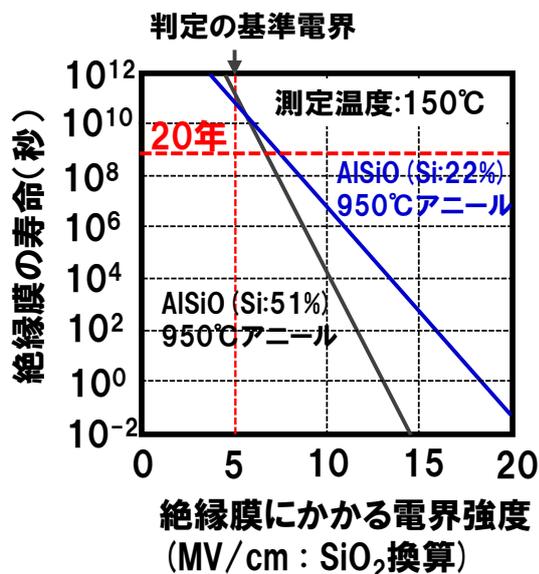


図7 AlSiO 膜の寿命予測
150°Cにおいて 3000 年以上の寿命を確認

以上のように AlSiO 膜は絶縁膜に要求される条件を高いレベルで満足し、GaN パワーデバイス用ゲート絶縁膜の有力な候補となることが確認されました。

【成果の意義】

1. ゲート部は縦型 GaN パワーデバイスの心臓部といえるところで、加工形状(溝底部の角部を丸くする)と加工表面のダメージ除去が低抵抗なゲートを構成する要件となります。本研究により、両方の要件を満たす加工法を確立することができました。
2. 従来、GaN パワーデバイス用ゲート絶縁膜は様々な種類の絶縁膜が検討されてきましたが、絶縁膜に要求される条件を高いレベルで満足させる絶縁膜はありませんでした。本研究の AlSiO 膜はそれらを満足させる特性を有し、信頼性の高い GaN パワーデバイスの実現が可能になると期待されます。

【用語説明】

- 注1) ゲート絶縁膜: 電界効果トランジスタの電流の流れをオン・オフするゲート部に使われる絶縁膜。電流はゲート絶縁膜と半導体の界面を流れる。
- 注2) トレンチ(構造): 縦型電界効果トランジスタのゲート構造の一種。半導体表面に溝(トレンチ)を掘り、その側壁を電子が流れるゲート構造をトレンチ構造という。
- 注3) ドライエッチング(装置): 半導体と反応するガスをプラズマ状態にして、半導体を加工(エッチング)すること。GaN の場合、反応ガスとして塩素系ガスが用いられる。プラズマを引き出す電力でエッチング速度が決まる。
- 注4) アニール: 結晶中に存在する欠陥を減らすなどの目的で、一定時間高温に保つ工程
- 注5) 原子層堆積法: 成膜手法の一つで、膜の組成原料を交互に供給し、一回の供給で数原子層以下の厚さの成膜を行う。トータル膜厚は供給回数でデジタル的に決まり、広い面積に均一な成膜を可能とする手法。
- 注6) チャネル移動度: ゲート絶縁膜と半導体の間(この部分をチャネルと呼ぶ)を流れる電荷の移動度。

- 注7) ショットキーダイオード: 金属と半導体との接触面に整流作用(ショットキー障壁)をもつダイオード。GaNの表面にNiを蒸着してショットキーダイオードを作製。
- 注8) 界面準位密度: ゲート絶縁膜と半導体の界面に形成される欠陥の密度。仮面準位密度が高いとゲートを流れる電子の移動度が低下する、ゲート閾値電圧の変動など、特性に影響を及ぼす。
- 注9) 電子に対する障壁: 半導体に絶縁膜を堆積したとき、半導体の伝導帯の電子に対する障壁。障壁高さが高いほど、絶縁膜のリーク電流は小さくなる。
- 注10) 絶縁破壊電界: 絶縁膜の表、裏に電極を形成し、電圧を印加して絶縁膜が破壊するときの膜に掛かる電界強度。